

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semiconductor device characterized by having the post constituted from this material by more than two-layer or two or more kinds of material in the semiconductor device which has the connection structure which was manufactured on wafer level and used the post on the semiconductor chip.

[Claim 2] The semiconductor device according to claim 1 characterized by having between posts the stress shock absorbing material which consists of gold or palladium.

[Claim 3] The semiconductor device according to claim 1 characterized by having the stress shock absorbing material which formed in piles the metal of hardness which is an of-the-same-kind metal and is different between posts.

[Claim 4] The semiconductor device according to claim 1 characterized by having between posts the stress shock absorbing material which consists of an anisotropy conductivity film.

[Claim 5] The semiconductor device according to claim 1 characterized by having between posts the stress shock absorbing material which consists of conductive resin containing metal particles.

[Claim 6] The semiconductor device which is manufactured on wafer level, makes a closure resin a multilayer in the semiconductor device which has the connection structure which used the post on the semiconductor chip, divides a post, and is characterized by connecting so that it may be made to incline.

[Claim 7] The semiconductor device according to claim 6 characterized by making the path of the post of each resin layer the same substantially.

[Claim 8] The semiconductor device according to claim 6 characterized by making the path of the post of each resin layer differ in ****.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the semiconductor device manufactured on wafer level.

[0002]

[Description of the Prior Art] In recent years, with the formation of a small thin shape of the electronic equipment which uses LSI, the miniaturization of the LSI package itself is demanded and the CHIPPUSU kale package (Chip Scale Package;CSP) which is size equivalent to a semiconductor chip is developed. CSP is connected to a semiconductor chip electrically [a printed circuit board or a film carrier] and mechanically, a post is installed on the electrode pad of a semiconductor chip, without using the type with which the solder ball is installed in the printed circuit board or the film carrier as an external terminal, and a printed circuit board and a film carrier, and after carrying out the resin seal of the semiconductor chip in the state where the post was made to project, it has the type with which a solder ball is installed in the post up as an external terminal.

[0003] Drawing 3 is the cross section of conventional latter type CSP, and, for an electrode pad and 3, as for a post (for connection conductor), and 5, a protection insulator layer and 4 are [1 / a semiconductor chip and 2 / a closure resin and 6] external terminals. Since neither a printed circuit board nor a film carrier is used for latter type CSP forming a resin seal and an external terminal compared with former type CSP, it is advantageous at a manufacturing cost.

[0004]

[Problem(s) to be Solved by the Invention] CSP above latter type [conventional] is the difference of the coefficient of linear expansion of a chip and a closure resin on structure, and had the problem that a crack arose in the stress concerning a post.

[0005] Made in order that this invention may solve this trouble, the purpose of this invention is obtaining the semiconductor device which improved generating of such a crack.

[0006]

[Means for Solving the Problem] The semiconductor device concerning the 1st invention is manufactured on wafer level, and is equipped with the post constituted from this material by more than two-layer or two or more kinds of material in the semiconductor device which has the connection structure which used the post on the semiconductor chip.

[0007] Moreover, the semiconductor device concerning the 2nd invention is equipped with the stress shock absorbing material which consists of gold or palladium between posts.

[0008] Furthermore, the semiconductor device concerning the 3rd invention is equipped with the stress shock absorbing material which formed in piles the metal of hardness which is an of-the-same-kind metal and is different between posts.

[0009] Moreover, the semiconductor device concerning the 4th invention is equipped with the stress shock absorbing material which consists of an anisotropy conductivity film between posts.

[0010] Furthermore, the semiconductor device concerning the 5th invention is equipped with the stress shock absorbing material which consists of conductive resin containing metal particles between posts.

[0011] Moreover, the semiconductor device concerning the 6th invention is manufactured on wafer level, and a closure resin is made into a multilayer in the semiconductor device which has the connection structure which used the post on the semiconductor chip, it divides a post, and it connects it so that it may be made to incline.

[0012] Furthermore, the semiconductor device concerning the 7th invention makes the path of the post of each resin layer the same substantially.

[0013] Moreover, the path of the post of each resin layer is made for the semiconductor devices concerning invention of the octavus to differ in ****.

[0014]

[Embodiments of the Invention] Gestalt 1. drawing 1 of operation is the cross section showing the semiconductor device in the gestalt 1 of implementation of this invention. The electrode pad 2 is arranged at the element side side of the semiconductor chip 1 in which the integrated circuit containing a semiconductor device was formed so that it may connect with an integrated circuit electrically. As for the circumference of the electrode pad 2, the protection insulator layer 3 is formed so that opening of the electrode pad 2 may be carried out. On the electrode pad 2, the post (for connection conductor) 4 which consists of these material with more than two-layer or two or more kinds of material is formed.

[0015] In order to make the aforementioned post 4 ease the stress which joins a post 4, stress shock

absorbing material 10 is inserted in the middle of a post 4. For example, you may use metal layers of low Young's modulus, such as gold (Au) and palladium (Pd), the anisotropy electrical conducting material in which the conductive particle was inherent, or the conductive resin containing metal particles like Au paste as stress shock absorbing material 10. Or in piles, what changed the hardness of material by the difference in the manufacture method even if it was an of-the-same-kind metal is not cared about, even if it constitutes a post 4. The closure resin 5 is formed in the circumference of the aforementioned post 4 so that a post 4 may be covered. Moreover, it connects with the post 4 upper surfaces mechanically [a bump (external terminal) 6] and electrically.

[0016] Since stress shock absorbing material 10 was inserted in the middle of a post according to the semiconductor device in the gestalt 1 of this operation as explained above, the stress which joins a post can be eased.

[0017] Gestalt 2. drawing 2 (a) and drawing 2 (b) of operation are the cross section showing the semiconductor device in the gestalt 2 of implementation of this invention. The electrode pad 2 is arranged at the element side side of the semiconductor chip 1 in which the integrated circuit containing a semiconductor device was formed so that it may connect with an integrated circuit electrically. As for the circumference of the electrode pad 2, the protection insulator layer 3 is formed so that opening of the electrode pad 2 may be carried out.

[0018] in order to reduce the stress which joins post 4 the very thing in the closure resin layer 5 although the post (for connection conductor) 4 constituted more than two-layer (i.e., above two-layer) is installed on the electrode pad 2 -- post -- it is formed so that 4 may be divided and may be made to incline. The diameter of post of each closure resin layer 5 may be a diameter of the same, as shown in drawing 2 (a), or you may make the diameter of post differ every closure resin layer 5, as shown in drawing 2 (b). The closure resin 5 is formed in the circumference of the aforementioned post 4 so that a post 4 may be covered. Moreover, it connects with the post 4 upper surfaces mechanically [a bump (external terminal) 6] and electrically.

[0019] Since it formed according to the semiconductor device which can set this operation gestalt 2 so that a post 4 might be divided and might be made to incline as explained above, the stress which joins a post 4 can be eased.

[0020]

[Effect of the Invention] Since this invention is constituted as explained above, it does an effect as taken below so.

[0021] Since more than two-layer or two or more kinds of material constituted the post from this material in the semiconductor device which has the connection structure which was manufactured on wafer level and used the post on the chip according to the 1st or 5th invention, the stress which joins a post 4 can be eased.

[0022] Moreover, since according to invention of the 6th, the 7th, and the octavus it was manufactured on wafer level, the closure resin was made into the multilayer in the semiconductor device which has the connection structure which used the post on the semiconductor chip, and the post was divided, and it connected so that it might be made to incline, the stress which joins a post 4 can be eased.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.*** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the cross section showing the semiconductor device in the gestalt 1 of implementation of this invention.

[Drawing 2] It is the cross section showing the semiconductor device in the gestalt 2 of implementation of this invention.

[Drawing 3] It is the cross section showing the conventional semiconductor device.

[Description of Notations]

1 Semiconductor Chip

4 Post

5 Closure Resin

10 Stress Shock Absorbing Material

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2002-118199
(P2002-118199A)

(43)公開日 平成14年4月19日(2002.4.19)

(51)Int.Cl. ⁷	識別記号	F I	テ-マ-ト*(参考)
H 0 1 L 23/12	5 0 1	H 0 1 L 23/12	5 0 1 P
21/60		21/92	6 0 2 F
			6 0 2 L

審査請求 未請求 請求項の数 8 O L (全 4 頁)

(21)出願番号 特願2000-308740(P2000-308740)

(22)出願日 平成12年10月10日(2000.10.10)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 若宮 敬一郎

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72)発明者 山田 聡

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74)代理人 100102439

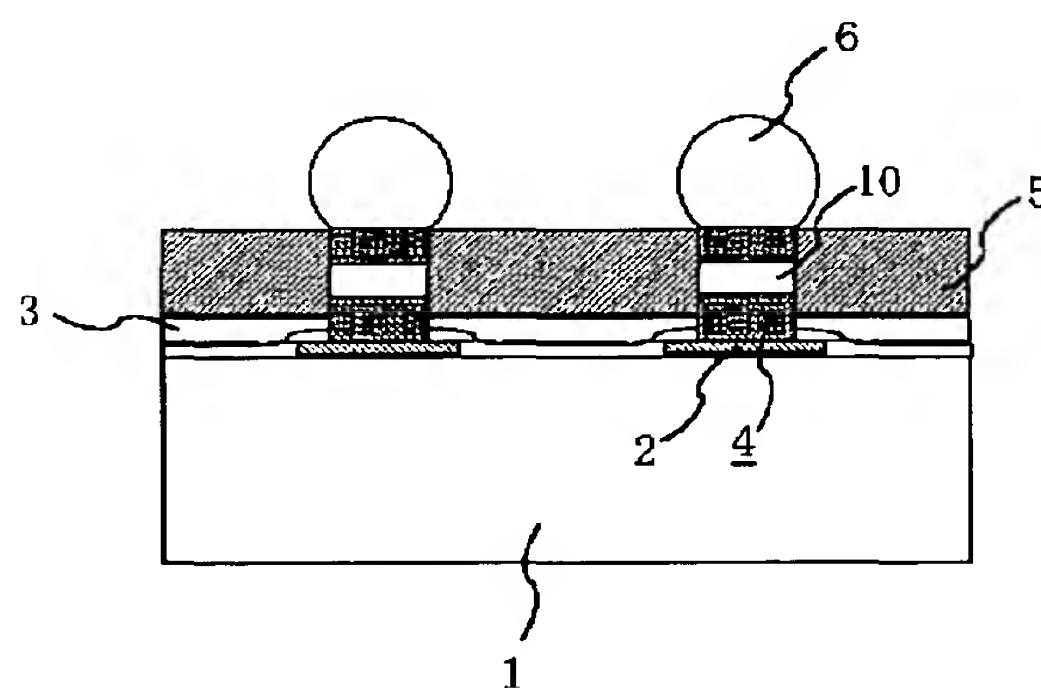
弁理士 宮田 金雄 (外1名)

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 半導体チップの電極パッド上にポストが設置され、半導体チップはポストを突出させた状態で樹脂封止した後に、外部端子としてポスト上に半田ボールが設置されるタイプのC S Pにおいて、半導体チップと封止樹脂の線膨張係数の差でポストにかかる応力によるクラックの発生を改良した半導体装置を得る。

【解決手段】 ポスト4に加わる応力を緩和させるために、ポスト4の中間に例えば、金(Au)、パラジウム(Pd)等の低ヤング率の金属層などの応力緩衝材10を挿入した。



1:半導体チップ
5:封止樹脂

4:ポスト
10:応力緩衝材

【特許請求の範囲】

【請求項 1】 ウエハレベルで製造され、半導体チップ上にポストを利用した接続構造を有する半導体装置において、同材料で 2 層以上、または 2 種類以上の材料により構成されたポストを備えることを特徴とする半導体装置。

【請求項 2】 ポスト間に、金またはパラジウムからなる応力緩衝材を備えたことを特徴とする、請求項 1 に記載の半導体装置。

【請求項 3】 ポスト間に、同種金属であって異なる硬さの金属を重ねて形成した応力緩衝材を備えたことを特徴とする、請求項 1 に記載の半導体装置。

【請求項 4】 ポスト間に、異方性導電性膜からなる応力緩衝材を備えたことを特徴とする、請求項 1 に記載の半導体装置。

【請求項 5】 ポスト間に、金属粒子を含んだ導電性樹脂からなる応力緩衝材を備えたことを特徴とする、請求項 1 に記載の半導体装置。

【請求項 6】 ウエハレベルで製造され、半導体チップ上にポストを利用した接続構造を有する半導体装置において、封止樹脂を多層にしてポストを分割し、傾斜させるように接続したことを特徴とする半導体装置。

【請求項 7】 各樹脂層のポストの径を実質的に同一にしたことを特徴とする、請求項 6 に記載の半導体装置。

【請求項 8】 各樹脂層のポストの径を層順に異なるようにしたことを特徴とする、請求項 6 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、ウエハレベルで製造する半導体装置に関するものである。

【0002】

【従来の技術】近年、LSI を使用する電子機器の小型薄型化に伴い、LSI パッケージ自体の小型化が要求されており、半導体チップと同等のサイズであるチップスケールパッケージ（Chip Scale Package；CSP）が開発されている。CSP は、半導体チップにプリント基板やフィルムキャリアが電気的かつ機械的に接続され、外部端子としてプリント基板やフィルムキャリアに半田ボールが設置されているタイプと、プリント基板やフィルムキャリアを使用せずに、半導体チップの電極パッド上にポストが設置され、半導体チップはポストを突出させた状態で樹脂封止した後に、外部端子としてポスト上に半田ボールが設置されるタイプがある。

【0003】図 3 は、後者タイプの従来の CSP の断面図であって、1 は半導体チップ、2 は電極パッド、3 は保護絶縁膜、4 はポスト（接続用導体）、5 は封止樹脂、そして 6 は外部端子である。後者タイプの CSP は前者タイプの CSP と比べて樹脂封止及び外部端子を形成するのにプリント基板やフィルムキャリアを使用しな

いので、製造コストで有利である。

【0004】

【発明が解決しようとする課題】上記のような従来の後者タイプの CSP は、構造上、チップと封止樹脂の線膨張係数の差で、ポストにかかる応力でクラックが生じるという問題があった。

【0005】この発明はかかる問題点を解決するためになされたものであり、本発明の目的はこのようなクラックの発生を改良した半導体装置を得ることである。

【0006】

【課題を解決するための手段】第 1 の発明にかかる半導体装置は、ウエハレベルで製造され、半導体チップ上にポストを利用した接続構造を有する半導体装置において、同材料で 2 層以上、または 2 種類以上の材料により構成されたポストを備えるものである。

【0007】また、第 2 の発明にかかる半導体装置は、ポスト間に、金またはパラジウムからなる応力緩衝材を備えたものである。

【0008】さらに、第 3 の発明にかかる半導体装置は、ポスト間に、同種金属であって異なる硬さの金属を重ねて形成した応力緩衝材を備えたものである。

【0009】また、第 4 の発明にかかる半導体装置は、ポスト間に、異方性導電性膜からなる応力緩衝材を備えたものである。

【0010】さらに、第 5 の発明にかかる半導体装置は、ポスト間に、金属粒子を含んだ導電性樹脂からなる応力緩衝材を備えたものである。

【0011】また、第 6 の発明にかかる半導体装置は、ウエハレベルで製造され、半導体チップ上にポストを利用した接続構造を有する半導体装置において、封止樹脂を多層にしてポストを分割し、傾斜させるように接続したものである。

【0012】さらに、第 7 発明にかかる半導体装置は、各樹脂層のポストの径を実質的に同一にしたものである。

【0013】また、第 8 の発明にかかる半導体装置は、各樹脂層のポストの径を層順に異なるようにしたものである。

【0014】

【発明の実施の形態】実施の形態 1. 図 1 は、この発明の実施の形態 1 における半導体装置を示す断面図である。半導体素子を含む集積回路が形成された半導体チップ 1 の素子面側には、電気的に集積回路と接続されるように電極パッド 2 が配置されている。電極パッド 2 の周辺は、電極パッド 2 が開口されるように保護絶縁膜 3 が形成されている。電極パッド 2 の上には、同材料で 2 層以上、または 2 種類以上の材料にて構成されるポスト（接続用導体）4 が形成されている。

【0015】前記ポスト 4 には、ポスト 4 に加わる応力を緩和させるために、ポスト 4 の中間に応力緩衝材 10

を挿入している。例えば、応力緩衝材10として、金（Au）、パラジウム（Pd）等の低ヤング率の金属層、または、導電性粒子が内在された異方性導電材料、または、Auペーストのような金属粒子を含んだ導電性樹脂を用いても良い。あるいは、同種金属であっても、製造方法の違いにより、材料の硬さを変えたものを重ねて、ポスト4を構成してもかまわない。前記ポスト4の周囲には、ポスト4を被覆するように、封止樹脂5が形成されている。また、ポスト4上面には、バンプ（外部端子）6が機械的かつ電氣的に接続されている。

【0016】以上説明したように、この実施の形態1における半導体装置によれば、ポストの中間に応力緩衝材10を挿入したので、ポストに加わる応力を緩和できる。

【0017】実施の形態2、図2（a）及び図2（b）は、この発明の実施の形態2における半導体装置を示す断面図である。半導体素子を含む集積回路が形成された半導体チップ1の素子面側には、電氣的に集積回路と接続されるように、電極パッド2が配置されている。電極パッド2の周辺は、電極パッド2が開口されるように保護絶縁膜3が形成されている。

【0018】電極パッド2上には、封止樹脂層5を2層以上に、即ち2層以上で構成されるポスト（接続用導体）4が設置されているが、ポスト4自体に加わる応力を低減させるために、ポスト4を分割し、傾斜させるように形成されている。各封止樹脂層5のポスト径は、図2（a）に示すように同一径であってもよいし、または、図2（b）に示すように封止樹脂層5毎にポスト径を異なるようにしてもよい。前記ポスト4の周囲には、ポスト4を被覆するように、封止樹脂5が形成されてい

＊る。また、ポスト4上面には、バンプ（外部端子）6が機械的かつ電氣的に接続されている。

【0019】以上説明したように、この実施の形態2における半導体装置によれば、ポスト4を分割し傾斜させるように形成したので、ポスト4に加わる応力を緩和できる。

【0020】

【発明の効果】この発明は、以上説明したように構成されているので、以下に示すような効果を奏する。

10 【0021】第1ないし第5の発明によれば、ウエハレベルで製造され、チップ上にポストを利用した接続構造を有する半導体装置において、ポストを同材料で2層以上、または2種類以上の材料により構成したので、ポスト4に加わる応力を緩和できる。

【0022】また、第6、第7及び第8の発明によれば、ウエハレベルで製造され、半導体チップ上にポストを利用した接続構造を有する半導体装置において、封止樹脂を多層にしてポストを分割し、傾斜させるように接続したので、ポスト4に加わる応力を緩和できる。

20 【図面の簡単な説明】

【図1】この発明の実施の形態1における半導体装置を示す断面図である。

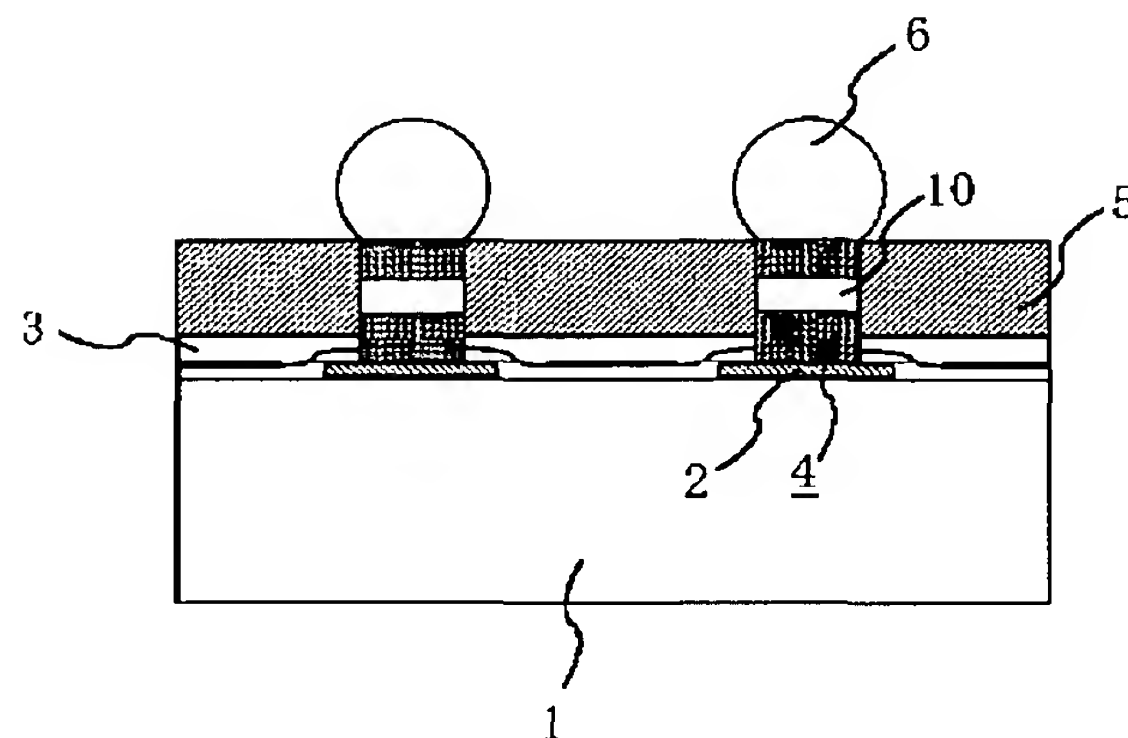
【図2】この発明の実施の形態2における半導体装置を示す断面図である。

【図3】従来の半導体装置を示す断面図である。

【符号の説明】

- 1 半導体チップ
- 4 ポスト
- 5 封止樹脂
- 10 応力緩衝材

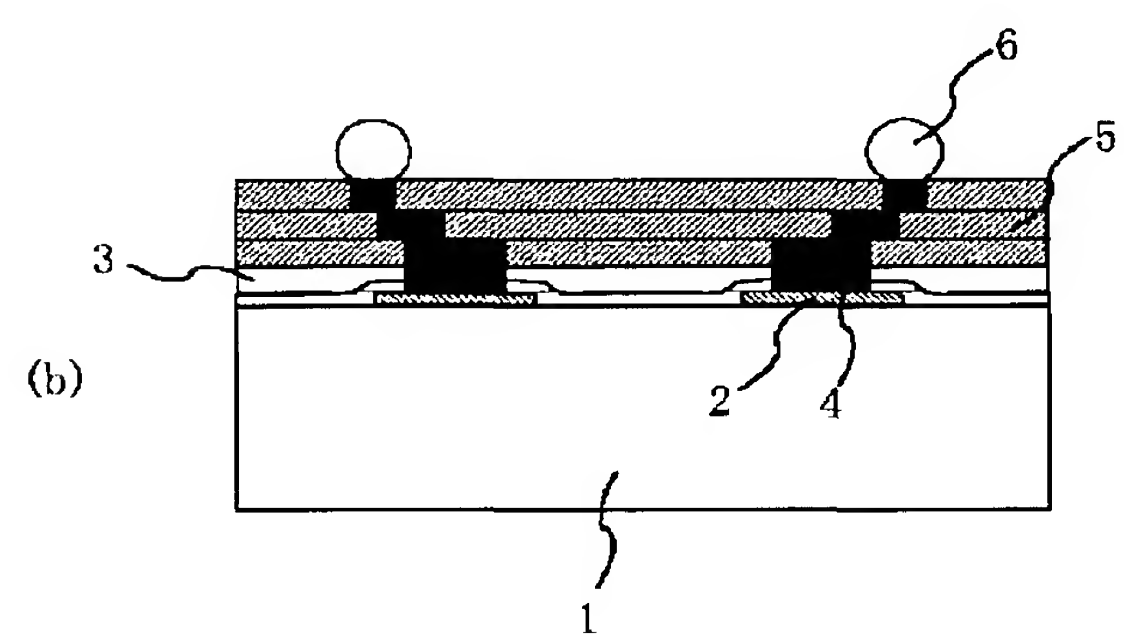
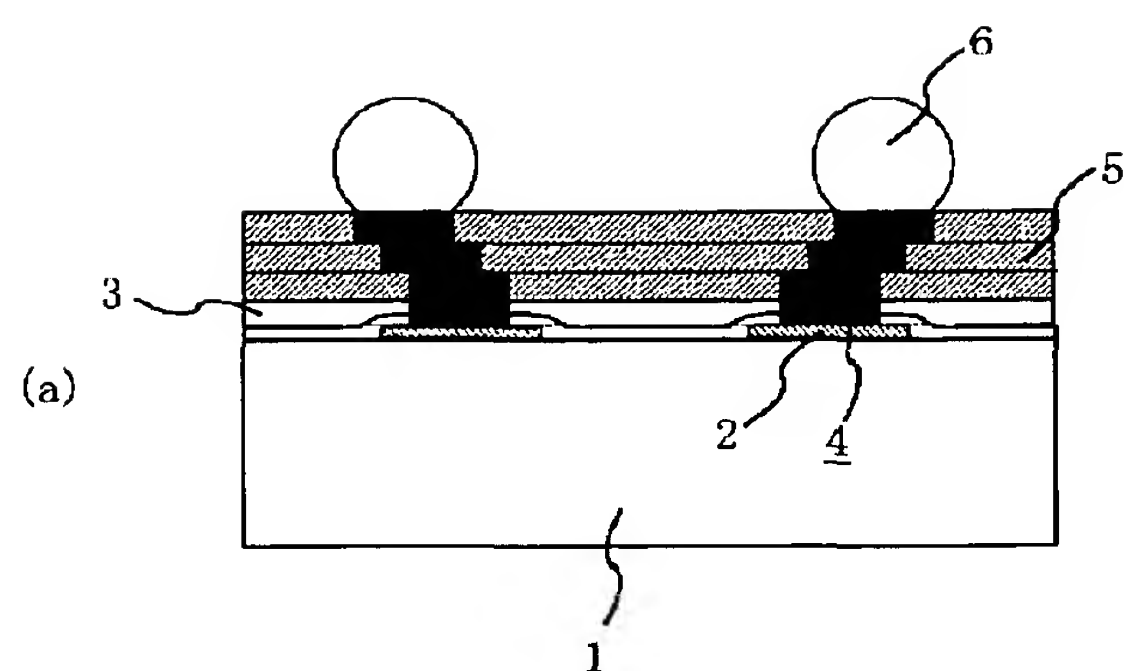
【図1】



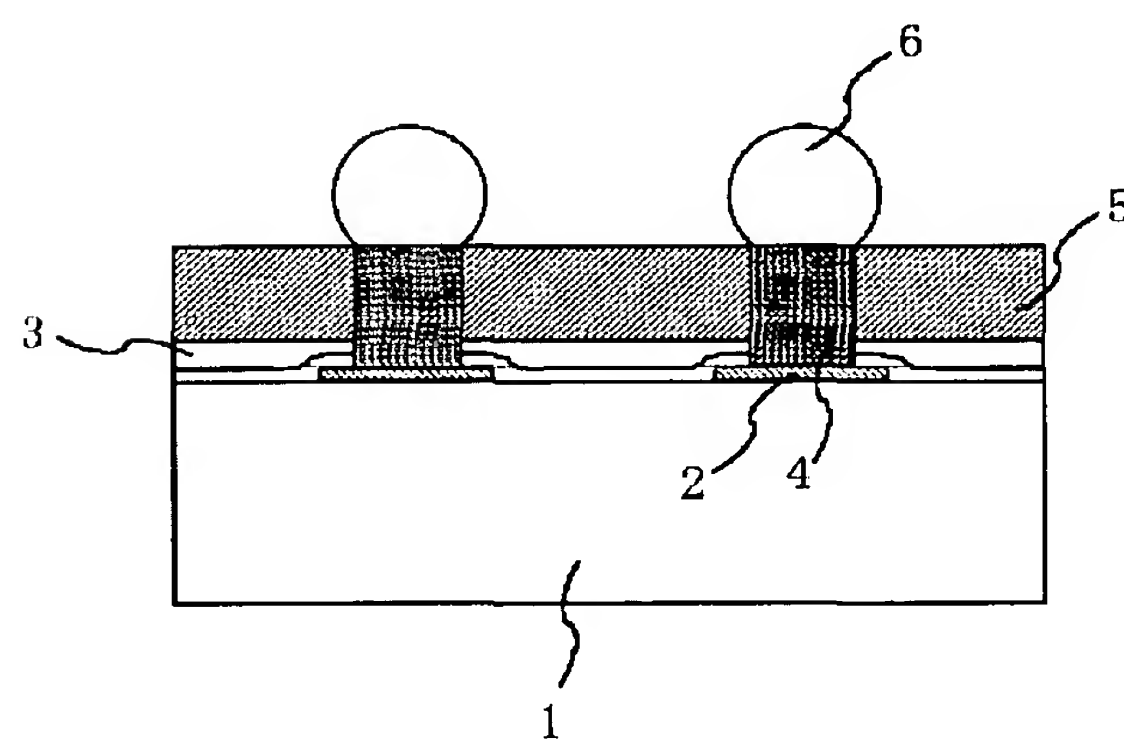
1:半導体チップ
5:封止樹脂

4:ポスト
10:応力緩衝材

【図2】



【図3】



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-150090

(43) 公開日 平成11年(1999) 6月2日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 21/301

H 0 1 L 21/78

L

21/304

6 2 2

21/304

6 2 2 X

21/56

21/56

R

21/60

23/28

A

23/12

21/78

M

審査請求 有 請求項の数 5 O L (全 6 頁) 最終頁に続く

(21) 出願番号

特願平10-233197

(62) 分割の表示

特願平3-211207の分割

(22) 出願日

平成3年(1991) 8月23日

(71) 出願人

000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者

西野 友規

東京都品川区北品川6丁目7番35号 ソニー株式会社内

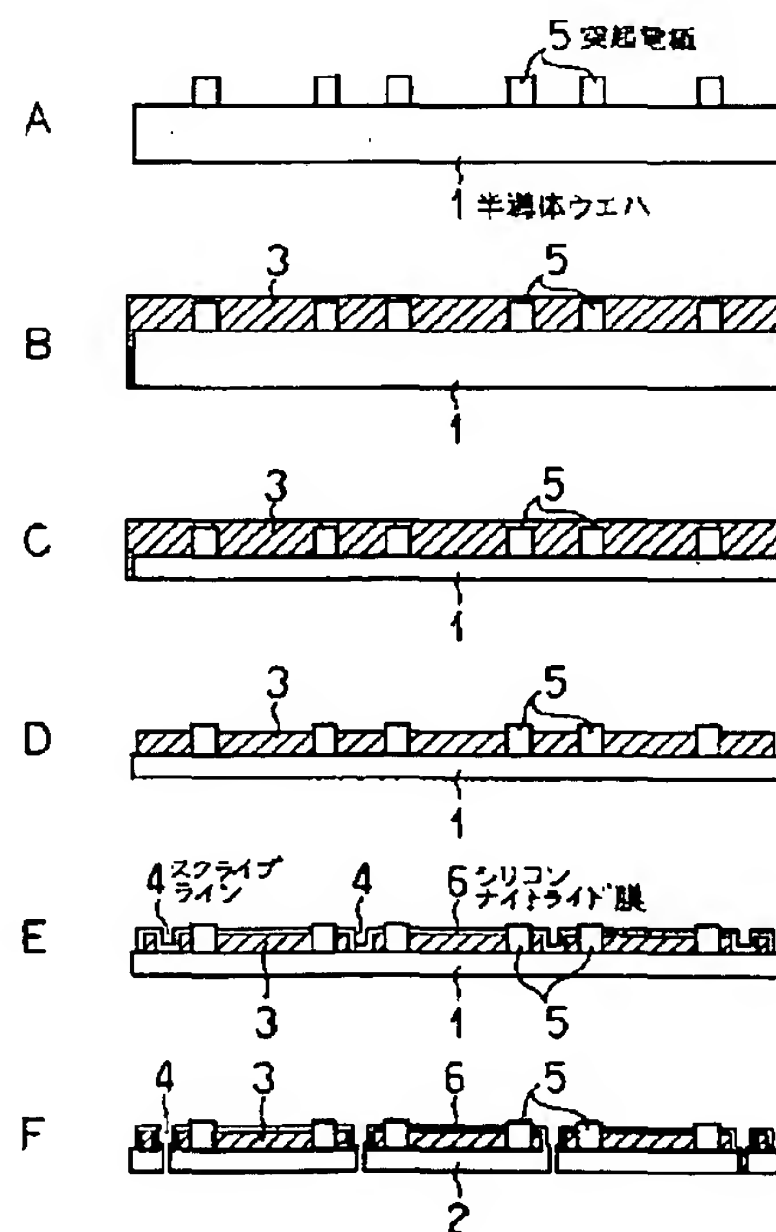
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 半導体チップそのものの厚みを半導体ウエハの大きさによらず薄くさせながら、製造工程における半導体チップの取り扱い作業性を向上させ、かつ、小型、薄型の半導体装置が得られる製造方法を提供する。

【解決手段】 樹脂膜3を保護強化板としながら半導体ウエハ1を薄くし、かつ、半導体チップ2上の樹脂膜3から突起電極5を突出させて外部接続端子とし、樹脂膜3の大きさを半導体チップ2と同一になるように切断する。

【効果】 高信頼性で取り扱い容易な、小型、薄型の半導体装置が得られる。



【特許請求の範囲】

【請求項1】 半導体基板に複数の半導体素子を形成する工程と、
前記半導体素子の電極に接続された突起電極群を形成する工程と、
前記突起電極群の先端部を露出して、前記半導体基板上に樹脂膜を形成する工程と、前記半導体基板を半導体素子単位に分割して個々の半導体装置を得る工程とを具備することを特徴とする半導体装置の製造方法。

【請求項2】 前記樹脂膜の形成工程は、
前記突起電極群の先端部を覆う程度の厚さに樹脂膜を形成する工程と、
前記突起電極群の先端部が露出するように前記樹脂膜の表面を除去する工程とを含むことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記樹脂膜を保護強化膜として、前記半導体基板の下面を研削する工程をさらに含むことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 前記半導体基板を半導体素子単位に分割して個々の半導体装置を得る工程は、
前記半導体基板のスクライブライン上の前記樹脂膜を除去する工程と、
前記樹脂膜の表面および前記スクライブライン上の前記樹脂膜の側面に、選択的に絶縁保護強化膜を形成する工程を経た後に施すことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項5】 前記半導体基板を半導体素子単位に分割して個々の半導体装置を得る工程は、
前記樹脂膜の表面に、選択的に絶縁保護強化膜を形成する工程を経た後に施すことを特徴とする請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体チップのバッド電極膜上に形成された突起電極先端部を外部接続端子となす半導体装置の製造方法に関する。

【0002】

【従来の技術】一般にパターン形成が完了した半導体ウエハは裏面研削法を用いて所定の厚みに研削される。この裏面研削法は、保護フィルムとなる塩化ビニールなどを基材とする軟質性フィルムを半導体ウエハのパターン面に貼り付け、軟質フィルム上から半導体ウエハを均一に加圧して回転させながら、ダイヤモンド粒が樹脂中に練入された粒石により半導体ウエハ裏面を研削、除去するものである。

【0003】そして研削された半導体ウエハのスクライブラインを切断して個々の半導体チップに分割し、半導体チップと外部端子リードとをボンディングワイヤあるいはTABリードなどを介して相互に電氣的に接合さ

せ、樹脂封止後に外部端子リードを加工形成させるというものが一般的な技術であった。

【0004】また、半導体ウエハ上にAuバンプなどの突起電極を形成させるには、前記裏面研削法による半導体ウエハ裏面を研削し、除去する前もしくは後に、Crなどのバリア金属膜を形成して、Au電解メッキ法によりAuバンプを選択的に形成させていた。

【0005】

【発明が解決しようとする課題】半導体装置は、コンピュータ、ワークステーション、パーソナルコンピュータ、ワードプロセッサ、携帯電話、小型携帯カムコーダなどのあらゆる機器に多量に搭載されている。近年、これらの機器の小型化、軽量化の進展は著しく、また、今後これらの機器の小型化、軽量化そして高性能化、高機能化はさらに進むことから、これらの機器に搭載される半導体装置の小型化、薄形化、高信頼性化への要求は、半導体素子の高集積化、高機能化という要求と合わせて加速度的に増大していくものと予測される。しかしながら、半導体ウエハの大口径化の進展にともない従来の裏面研削法による半導体ウエハ厚の加工には、ハンドリング時もしくは研削時の半導体ウエハの破損防止という制約により厚みを薄くすることに限界が生じ、この結果、半導体装置に収納する半導体チップが厚くなり、半導体装置の薄形化ひいては機器の薄形化を阻害する要因となっている。さらに、半導体ウエハは裏面研削時のAuバンプへの荷重集中による半導体ウエハの破損を回避するために、Auバンプの形成を裏面研削後に行っているのが一般的であり、Auバンプを形成した後に裏面研削を行うことは、荷重の局部集中による半導体ウエハの破損を回避することを考慮すると、非常な困難さを伴うおそれがあった。

【0006】一方、機器内での半導体装置が占める実装面積は、半導体素子の高集積化、高機能化にともない増大する方向にあり、特に、従来の半導体装置の内側はボンディングワイヤ、インナーリードなどの電氣的導通経路を必要とし、かつ、半導体装置の外側には接合を得るためのアウターリードを必要とするために本質的に実装面積は大きくなり、さらには、樹脂厚みと半導体チップ厚みからなる実装高さも高くなり、これらのことが半導体装置の小型化、軽量化を阻害し、ひいては、機器の小型化、軽量化を阻害する要因となっていた。

【0007】さらに、研削後に分割される半導体チップの素子面は外部からのわずかな力により簡単に損傷を受けやすく、組立工程や実装工程における半導体チップのハンドリングや装置条件の設定には細心の注意が必要であった。

【0008】本発明は、半導体ウエハを裏面研削により薄く加工しても半導体ウエハ破損が生じないようにすることと同時に半導体チップの素子面への損傷が生じないようにすること、そして、2次元的な電氣的導通経路を

最小にして実装面積を小さくし、かつ、樹脂厚みおよび半導体チップ厚みを最小にして実装高さを小さくすることを目的としている。

【0009】

【課題を解決するための手段】本発明の半導体装置の製造方法は、前述のような課題を達成するものであって、その概要を説明すればつぎの通りである。すなわち本発明の半導体装置の製造方法は、半導体基板に複数の半導体素子を形成する工程と、これら半導体素子の電極に接続された突起電極群を形成する工程と、前記突起電極群の先端部を露出して、前記半導体基板上に樹脂膜を形成する工程と、この半導体基板を半導体素子単位に分割して個々の半導体装置を得る工程とを具備することを特徴とする。半導体基板を半導体素子単位に分割して個々の半導体装置を得る工程においては、半導体基板のスクライブライン上の樹脂膜を除去した後、あるいは除去する前に、樹脂膜の表面あるいは樹脂膜の表面および側面に、選択的に絶縁保護強化膜を形成した後に分割することが望ましい。

【0010】前述の手段によれば、半導体チップに分割する前の半導体基板を裏面研削により薄く加工しても、半導体基板上に形成された樹脂膜が保護強化板として作用するために、裏面研削中およびハンドリング時の半導体基板の破損を回避できる。また同時に、組立工程や実装工程におけるベア状態での半導体チップのハンドリングはなくなり、半導体チップの素子面の損傷も回避できる。また、半導体チップの電極上に外部接続端子となる突起電極群を形成し、この先端部を露出して半導体チップの表面を樹脂膜で封止することにより、容易に2次元的な電氣的導通経路を最小にし、かつ、樹脂厚みおよび半導体チップ厚みを薄くさせた小型、薄型の半導体装置の製造方法を提供することができる。

【0011】

【発明の実施の形態】本発明の第1の実施例を図1および図2にもとづいて説明する。図1は本発明の第1の実施例の半導体装置を示す斜視図であり、図2は第1の実施例の半導体装置の製造方法について説明する断面図である。図1は表面に樹脂膜3および突起電極5を形成した半導体ウエハ1を個々の半導体チップ2の大きさに切断した状態を示しており、切断前において表面に樹脂膜3を形成した状態で半導体ウエハ1の裏面を裏面研削法を用いて鏡面状に研削を行って、半導体ウエハ1の厚みを薄く加工した後、スクライブライン4をダイシングブレードを用いて切断している。この半導体ウエハ1の裏面の研削は、裏面研削前に半導体ウエハ1の表面に樹脂膜3を形成させることにより、樹脂膜3を保護強化板として機能させ、6インチ径の半導体ウエハ1であればウエハプロセス加工時の厚みが約0.6mmのものが裏面研削法により0.35mm～0.4mm程度まで半導体ウエハ1の厚みを薄く加工でき、8インチ径の半導体ウ

エハ1であってもウエハプロセス加工時の厚みが0.7mm程度のものが同様に0.4mm～0.5mm程度まで半導体ウエハ1の厚みを薄く加工できる。このことにより、半導体ウエハ1の厚み、すなわち、半導体ウエハ1の大きさ如何に関わらず半導体ウエハ1の厚みを薄く加工することができる。ここで、この樹脂膜3を形成する樹脂材料には、例えば低応力、高耐熱性を有するポリイミド樹脂を用いており、樹脂部の形成方法には一般によく用いられているポリイミド樹脂をスピンコーティングした後に熱硬化させる方法を用いている。また所定の樹脂膜厚を得るためには、スピンコーティングを繰り返すことにより容易に得られる。なお、半導体ウエハ1の表面に形成される樹脂膜3の樹脂材料としては、前述のようなポリイミド樹脂の代わりに、低応力、低収縮性を有するエポキシ系の樹脂を用いることも可能であり、所定の樹脂膜3の厚みはスキージ印刷法を用いることにより容易に得ることができ、この結果、樹脂膜3の保護強化板としての機能はさらに向上することになる。

【0012】本発明の第1の実施例の半導体装置の製造方法を図2にもとづいて説明する。まず、第1の工程では図2Aに示すように、パターンが形成された0.6mm程度の厚みを有する半導体ウエハ1の電極パッド上に、クロム薄膜を介して電解メッキ法により選択的にAuメッキを施し、円柱状の突起電極5を約100μmの高さで形成する。つぎに、第2の工程では図2Bに示すように、半導体ウエハ1上に突起電極5の上端部を覆う程度の厚みで樹脂膜3を形成する。そして、第3の工程では図2Cに示すように、この樹脂膜3を保護強化板として半導体ウエハ1の裏面を裏面研削法により研削し半導体ウエハ1の厚みを0.4mm程度となるように薄く加工する。第4の工程では図2Dに示すように、半導体ウエハ1の上部に設けられた樹脂膜3の上面を軽くエッチングし、突起電極5の上端部を露出させる。第5の工程では図2Eに示すように、ダイシングブレードにてスクライブライン4の樹脂膜3を削り取り、高温乾燥後、プラズマCVD法によりシリコンナイトライド膜6を突起電極5の上端部を除いて選択的に形成させる。最後に、第6の工程では図2Fに示すように、ダイシング用粘着性テープ（図示せず）にこの半導体ウエハ1を貼り、スクライブライン4で半導体ウエハ1を完全にダイシングブレードにて削りとり、1個1個の半導体チップ2に分離する。なお、スクライブライン4の樹脂膜3を取り除くためには、第5の工程で説明したような物理的な方法だけではなく、化学的エッチングによる方法も可能である。一方、シリコンナイトライド膜6の形成は、絶縁強化保護としての機能は若干低下するが、樹脂膜3の軽いエッチング直後に行うことも可能である。

【0013】さらに、図1において前述のように個々の半導体チップ2の大きさに切り出された半導体装置は、既に説明した通り裏面研削を施されて薄くなった半導体

チップ2の上面に樹脂膜3が形成されており、この樹脂膜3の上面からは半導体チップ2のパッド電極に対して垂直に形成された円柱状の突起電極5の先端部が突出しており、その突起電極5は電解メッキ法を用いて形成されたAu電極であり、その高さは80 μ m～100 μ mである。ただし、この突起電極5の形状は、円柱状であっても良いし、角柱状であっても良い。一方、この突起電極5の突出量は、突起電極5の高さ、樹脂膜3の厚み、そして、接合安定性から決定され、第1の実施例では20 μ m程度を突出させている。また、第1の実施例では、半導体チップ2の側面がダイシングされた状態で露出しており、同様にその裏面が研削された状態で露出している。さらに、図1では特に図示してはいないが、これら半導体チップ2の側面、裏面および突起電極5表面を除いた樹脂膜3最表面には半導体装置としての信頼性を高めるためのシリコンナイトライド膜6がプラズマCVD法により200℃～250℃の比較的低温で1 μ m程度形成され、樹脂膜3への水分吸湿による半導体装置の信頼性低下を防ぐ絶縁保護強化膜としている。

【0014】本発明の第1の実施例の半導体装置を種々の実装形態に適合できることを示すプリント配線板への接合方法を図3にもとづいて説明する。図3は、図1に示した本発明の第1の実施例の半導体装置のプリント配線板への接合方法を示す断面図である。図3Aに示すように、フットパターン8が形成されたプリント配線板7へ半導体装置が直接フェイスダウンボンディングされており、フットパターン8上に予め設けられたAuバンブ9と半導体チップ2の突起電極5が熱圧着により合金接合されている。またこの合金接合部を含めた半導体装置の信頼性を高めるために、半導体装置の周縁部をエボキシ系の封止樹脂10でポッティング法により封止している。図3Bに示すように、図3Aに示した半導体装置の裏面に高熱伝導性のシリコン系接着剤11を塗布し、放熱板12となるAl合金板を貼付け、半導体装置からの放熱性を積極的に向上させている。図3Cは、半導体装置に形成された突起電極5のピッチが微細な場合についての実施例であり、通常のテープキャリア方式のTABテープと半導体チップ2との接合方法と全く同一な方法で、第1の実施例の半導体装置とTABテープ13とを突起電極5を介して接合させ、そして、このTABテープ13のリードの終端部とプリント配線板7上のフットパターン8とを半田接合法を用いて接合させ、この半田接合部を含む半導体装置の周縁部を図3A、図3Bと同様にエボキシ系の封止樹脂10でポッティング法により封止させた例である。図3Dは、図3Cで説明した半導体装置裏面に高熱伝導性のシリコン系接着剤11を塗布し、放熱板12となるAl合金板を貼り付け、半導体装置からの放熱性を向上させている。

【0015】次に、本発明の第2の実施例を図4にもとづいて説明する。図4Aは、本発明の第2の実施例の半

導体装置を示す斜視図であり、図4Bは図4Aの側面図を示している。図4A、図4Bに示すように、裏面研削により薄く加工された半導体チップ2上に2つの異なる高さを有した突起電極5が千鳥状に半導体チップ2の周囲に形成されている。そして、半導体チップ2の内側に形成された突起電極5の配列には高い突起電極5が、その外側に形成された突起電極5の配列には低い突起電極5が形成され、突出量が20 μ m前後となるように樹脂膜3が段状に形成されている。このように半導体装置を構成したことにより、半導体チップ2上の突起電極5が微細ピッチとなっても、隣接リード間のショートが生じにくいTABボンディングが容易に行えるようになる。

【0016】つぎに本発明の第3の実施例および第4の実施例を、図5および図6にもとづいて説明する。図5および図6は、それぞれ第3の実施例および第4の実施例の半導体装置を示す斜視図である。図5に示す第3の実施例は、半導体装置に突出させた突起電極5の周囲部の樹脂膜3に凹部14を形成させてあり、この凹部14には、図3Aに示す突起電極5とフットパターン8との接合材料にAuバンブ9の代わりに半田を用いたときに、隣接した突起電極5間での半田ブリッジによるショートを防ぐための半田だまりの役目を持たせている。一方、図6に示す第4の実施例は、半導体装置に突設させた突起電極5の上端部と円柱側部のうちの外側部を露出させた例であり、プリント配線板7に凹状の半導体装置収納部（図示せず）と前記半導体装置収納部の側面に縦状の導体パターン（図示せず）と底面に導体パターンを連続して設け、第4の実施例に示した半導体装置をプリント配線板7の半導体装置収納部に収納し、半導体装置の突起電極5の上端部と円柱側部とを前記導体パターンと半田接合させるようにして半田接合時の信頼性向上をはかると同時に、プリント配線板7への実装時の高さの低減をはかっている。

【0017】以上説明してきたように、本発明の半導体装置の製造方法によれば、半導体チップ2の表面に樹脂膜3を形成することにより、半導体ウェハ1の破損、半導体チップ2の素子面の損傷を生じないようにすることができる。また、プリント配線板7への実装時の2次元的な電気導通経路を最小にすると同時に実装高さを小さくすることができる。

【0018】

【発明の効果】本発明により得られる効果は、半導体チップに分割前の半導体基板を裏面研削により薄く加工しても、半導体基板上に形成された樹脂膜が保護強化板として機能することにより、裏面研削中およびハンドリング時の半導体基板の破損を回避できる。また同時に、組立工程や実装工程におけるベア状態での半導体チップのハンドリングはなくなり、半導体チップの素子面の損傷も回避できる。また、半導体チップの電極上に外部接続端子となる突起電極群を形成し、この先端部を露出して

半導体チップの表面を樹脂膜で封止することにより、容易に、2次元的な電氣的導通経路が最小で、かつ、樹脂厚みおよび半導体チップ厚みを薄くさせた高信頼性で小型かつ薄型の半導体装置の製造方法を提供することが可能となる。

【図面の簡単な説明】

【図1】 本発明の第1の実施例の半導体装置を示す斜視図。

【図2】 本発明の第1の実施例の半導体装置の製造方法について説明する断面図。

【図3】 本発明の第1の実施例の半導体装置のプリント配線板への接合方法を示す断面図。

【図4】 本発明の第2の実施例の半導体装置を示す斜視図および断面図。

【図5】 本発明の第3の実施例の半導体装置を示す斜視図。

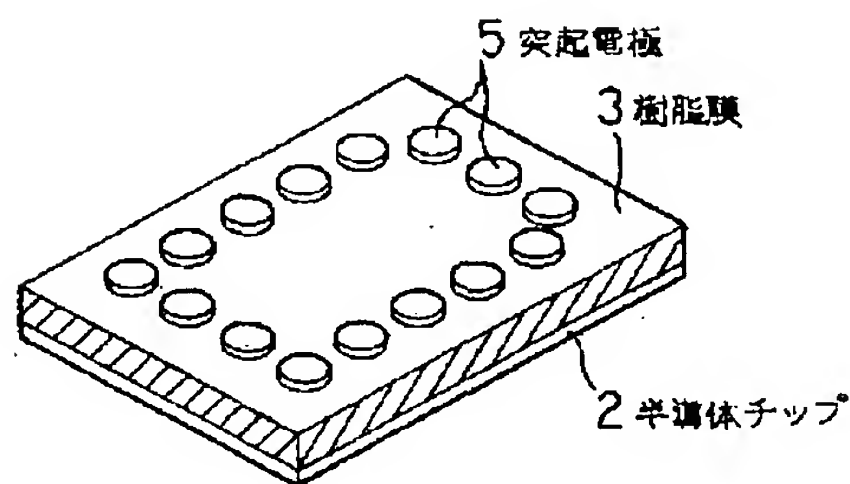
*

*【図6】 本発明の第4の実施例の半導体装置を示す斜視図。

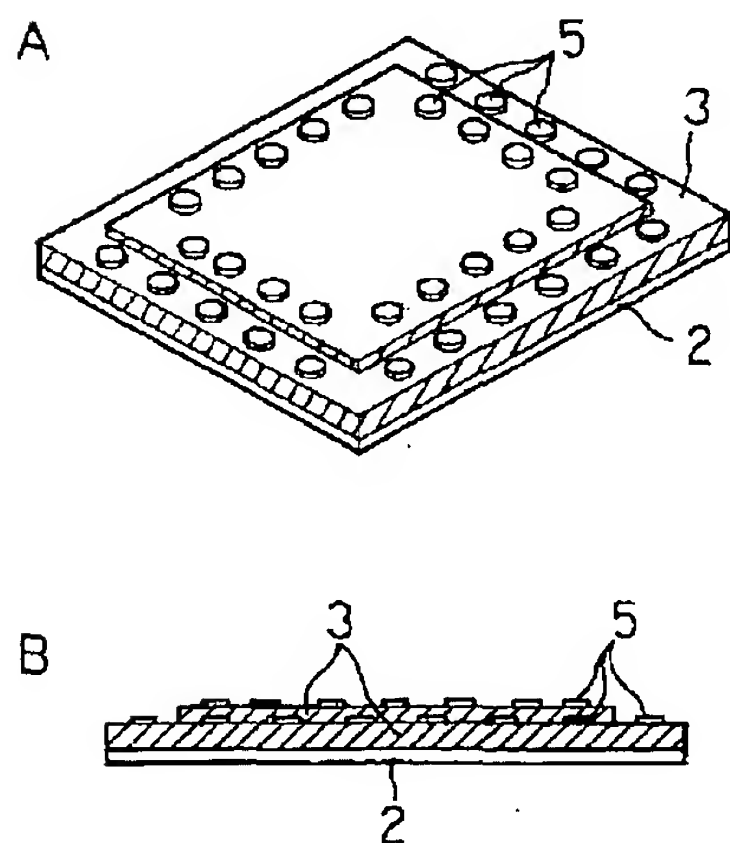
【符号の説明】

- 1 半導体ウエハ
- 2 半導体チップ
- 3 樹脂膜
- 4 スクライブライン
- 5 突起電極
- 6 シリコンナイトライド膜
- 10 プリント配線板
- 8 フットパターン
- 9 Auバンプ
- 10 封止樹脂
- 11 シリコン系接着剤
- 12 放熱板
- * 13 TABテープ

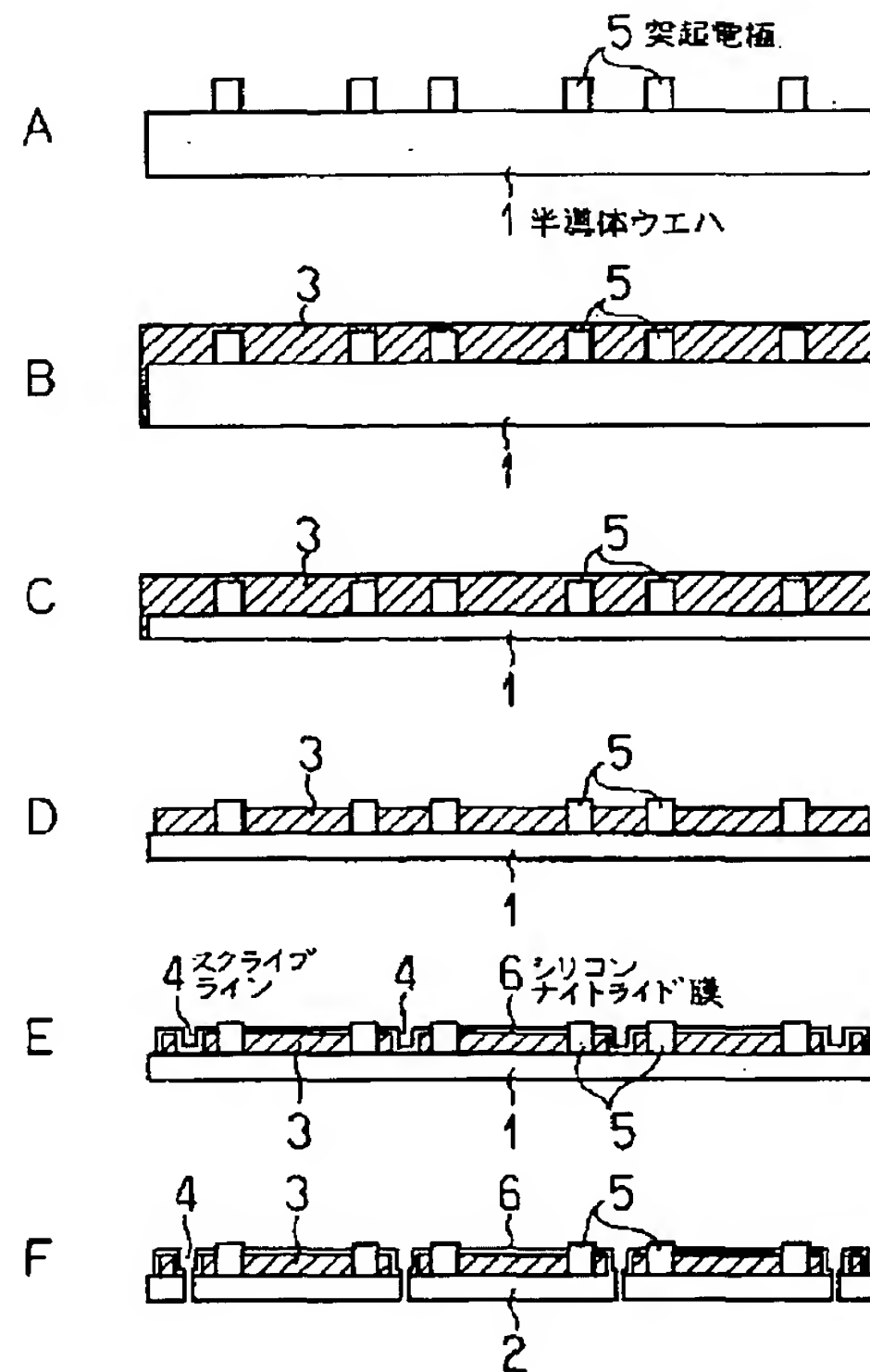
【図1】



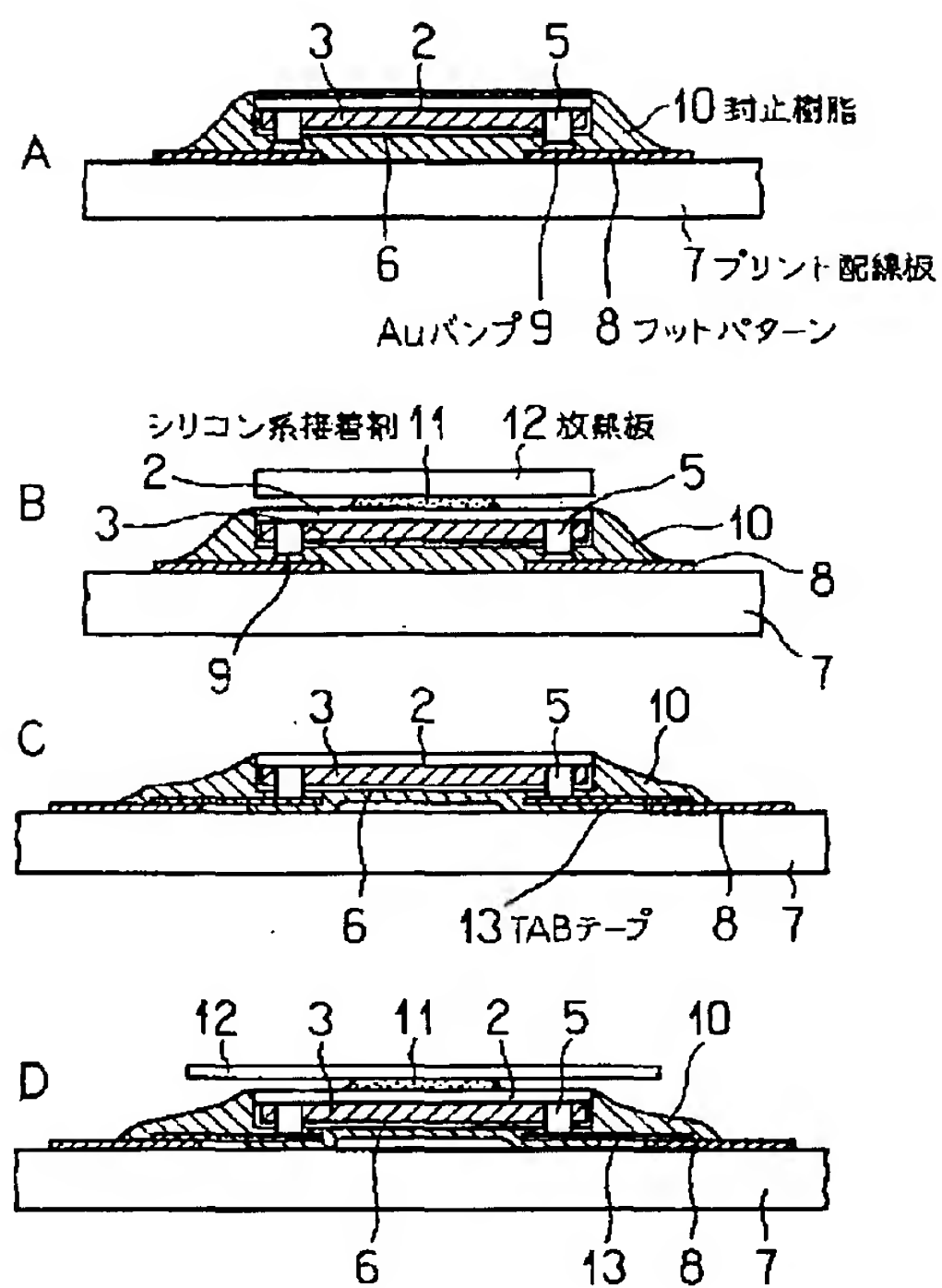
【図4】



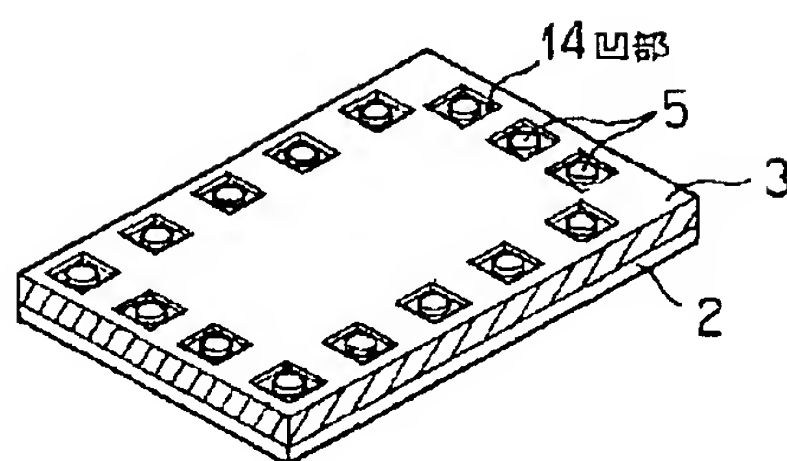
【図2】



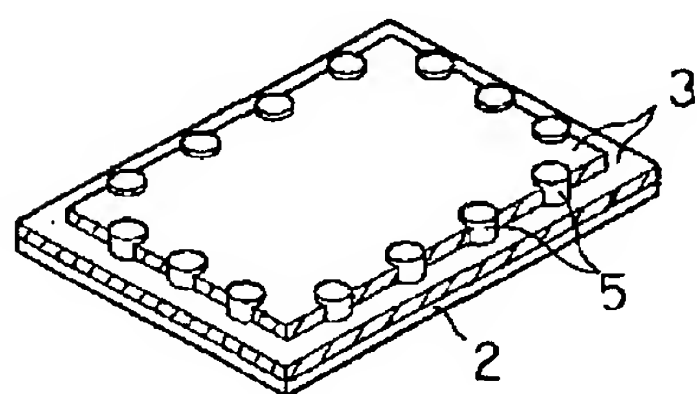
【図3】



【図5】



【図6】



フロントページの続き

(51)Int.Cl.⁶
H01L 23/28

識別記号

F I
H01L 21/92

23/12

602L
604A
L